

## Compensación del Tiempo Muerto y de los Retardos en Inversores y Amplificadores de Potencia Clase D

En tiempo muerto entre la apertura del semiconductor de potencia de un inversor y la apertura del semiconductor opuesto de la misma rama, así como los retardos de los circuitos de mando y de los propios semiconductores de potencia, producen una distorsión de la señal de salida.

En los amplificadores conmutados clase D, esto es causa de distorsión en lazo abierto, en los inversores trifásicos para motores, la distorsión causa inestabilidad de velocidad. El sistema propuesto compensa perfectamente y de un modo simple cualquier retardo de un flanco en el siguiente flanco de la señal, almacenando dicho tiempo de retardo en un condensador.

⇒ Francesc Casanellas

Un inversor tal como el que se muestra en la fig. 1, precisa incorporar un retardo entre la apertura de un semiconductor de potencia y el cierre del otro. Además, hay retardos inevitables del propio semiconductor y del circuito de mando. Como muestra la figura, estos retardos provocan distorsión de la señal de salida.

Con carga inductiva, sea la de un motor de inducción o la inductancia de un filtro, cuando la corriente sale del inversor ( $I_1$ ), la corriente se transfiere de S1 a D2 tan pronto como S1 se abre y de D2 a S1 tan pronto como S1 se cierra y D2 recupera las cargas. La tensión de salida es una imagen del estado de S1.

Del mismo modo, cuando la tensión fluye hacia

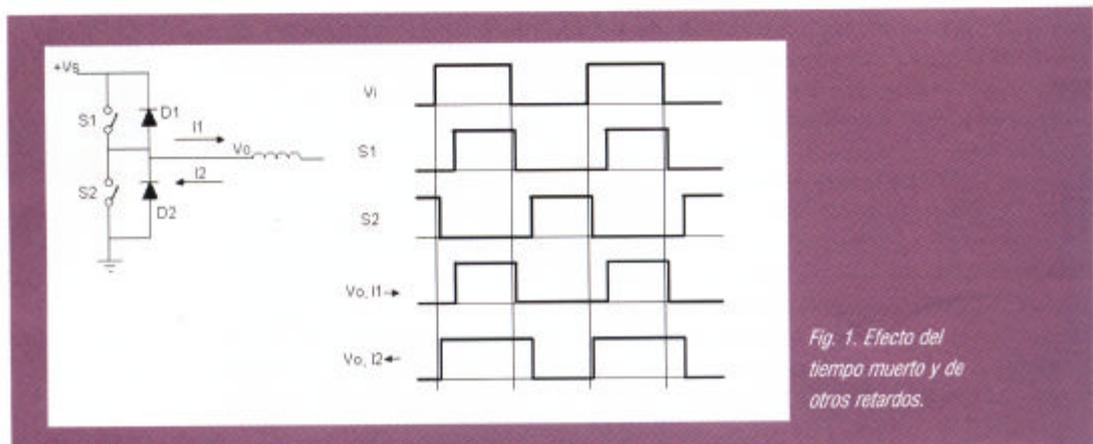


Fig. 1. Efecto del tiempo muerto y de otros retardos.

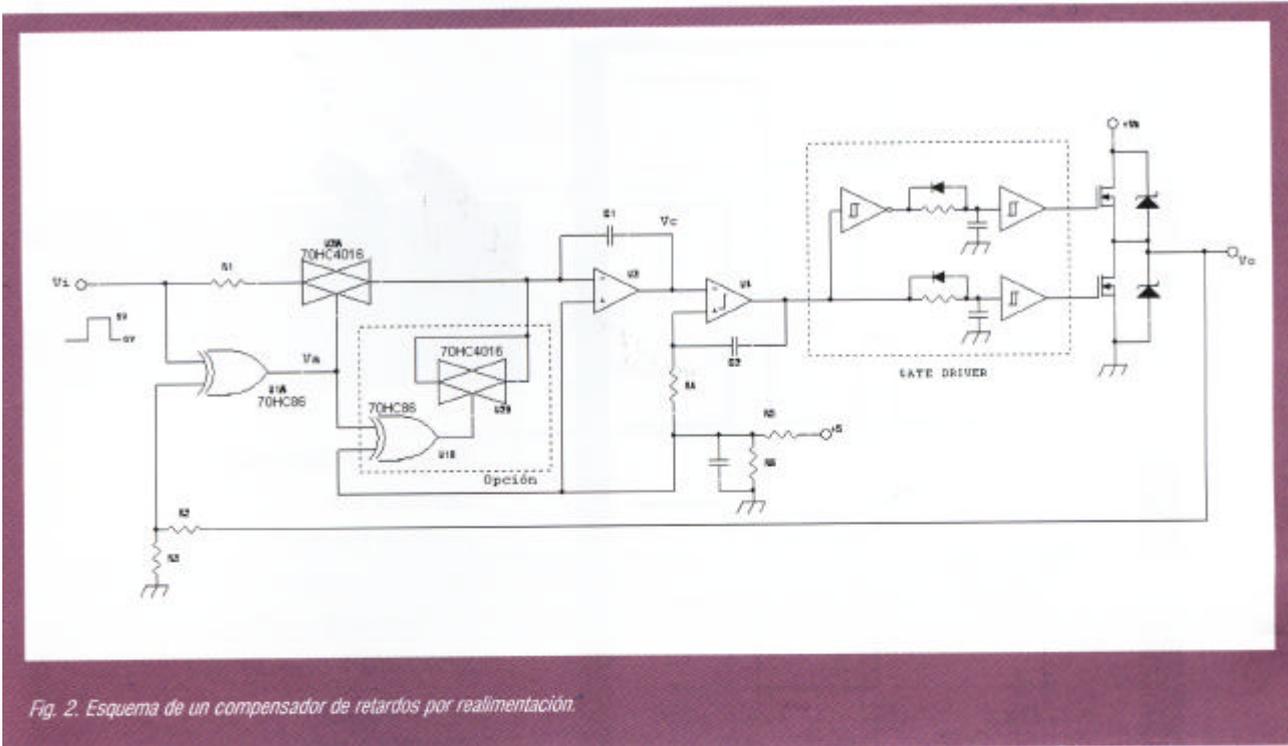


Fig. 2. Esquema de un compensador de retardos por realimentación.

el inversor (I2), la tensión sigue el estado de S2. Como S1 y S2 tienen un ciclo asimétrico, debido al necesario tiempo muerto para evitar la conducción de los dos a la vez, la tensión de salida es mayor o menor que la de mando, según el sentido de la corriente.

Como ejemplo, supongamos un amplificador de audio conmutado a 250 kHz, una frecuencia usual. Un tiempo muerto de sólo 50 ns significa un 2,5 % del impulso con un factor de servicio ("duty cycle") del 50%.

Al aumentar la modulación, la proporción del tiempo muerto sobre el impulso aumenta. Sin corrección, el amplificador tendría una distorsión en lazo abierto considerable. Además, hay que tener en cuenta los diferentes tiempos de conmutación de los semiconductores

Para solucionar el problema, se ha propuesto generar dos señales, una con desplazamiento en el flanco de subida, la otra con desplazamiento en el flanco de bajada. Según el sentido de la corriente, se conmuta una u otra señal.

Este sistema es sólo aproximado y no puede compensar las tolerancias de los componentes ni las variaciones de tiempo de conmutación de los semiconductores causadas por la temperatura. Para una completa descripción ver la ref. (1). El ingenioso sistema descrito en la ref. (2) usa un contador que cuenta y descuenta para memorizar el retardo y aplicarlo en el siguiente flanco. La cantidad de componentes usado es bastante

importante y el principal problema es que a las frecuencias de conmutación actuales, para obtener una buena resolución se precisaría de frecuencias de conmutación muy elevadas.

El sistema propuesto es analógico y la resolución está limitada casi solamente por la velocidad de la puerta de comparación, ya que los otros retardos son simétricos y se compensan

### Descripción del sistema

La fig. 2 muestra un esquema del circuito. (Se ha elegido una alimentación única con referencia a  $\frac{1}{2} V_{cc}$  pero la misma filosofía se puede aplicar a alimentaciones bipolares). El circuito de puerta "gate driver" y la salida de potencia con MOSFETs se muestran solamente a efectos orientativos.

La señal de entrada  $V_i$  se compara con la señal de salida  $V_o$  en la puerta OR exclusiva U1A y mientras no haya coincidencia, conmuta el interruptor analógico U2A, con lo que cambia la tensión de salida del integrador formado por R1, C1, U3 en proporción al tiempo de retardo de la salida respecto a la entrada.

La fig. 3 muestra las señales del circuito. El comparador U4 cambia de polaridad al invertirse la tensión del integrador. Obsérvese que cuando llega el flanco de bajada de  $V_i$  la salida  $V_c$  del integrador invierte el sentido y tarda exactamente el tiempo  $t_1$  del primer retardo, en llegar a cero e invertir la salida del comparador, con lo que la el pulso se ha alargado justo el tiempo de retar-

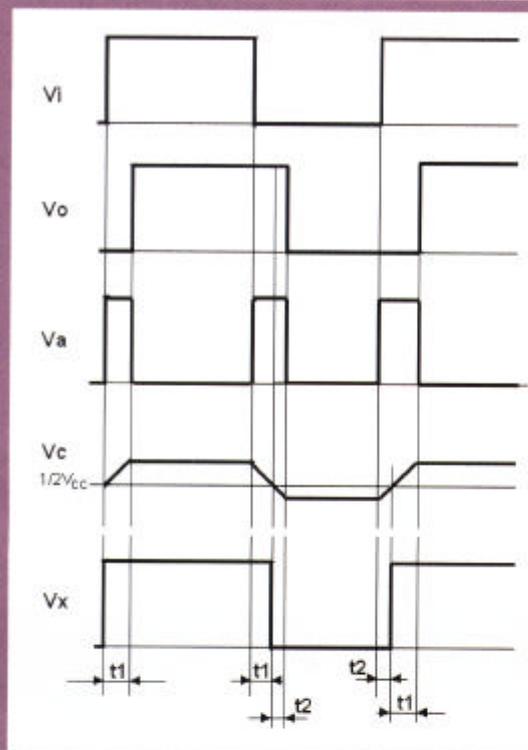


Fig. 3. Señales del circuito de compensación.

do  $t_1$ . Es importante señalar que el retardo no controlable de apertura  $t_2$ , también se compensa. La tensión de salida  $V_o$  se retarda respecto a la referencia  $V_i$  un tiempo igual al retardo total de los dos flancos, pero es una copia fiel de la entrada.

#### Variantes del circuito

Un refinamiento del circuito lo constituye la adición de la puerta U1B y el interruptor U2B. U1B actúa como inversor de la señal que va al otro interruptor. Los interruptores analógicos propuestos crean una transferencia de carga entre la entrada y las salidas.

Como el flanco de control de U2B está invertido respecto al de U2A, las cargas son de sentido

opuesto y, siendo del mismo chip, son muy iguales en magnitud, por lo que se compensan.

Esta técnica ha sido empleada por el autor en diseños de instrumentación de precisión con excelentes resultados.

El añadido de R4,C2 puede ser necesario para eliminar oscilaciones del comparador.

La fig. 4 muestra un esquema simplificado en el que se ha sustituido el integrador por un simple circuito RC. Si la constante de tiempo es suficientemente grande respecto al tiempo a corregir, la precisión puede ser suficiente en muchos casos. Puede demostrarse que el retardo corregido  $t_{dc}$  respecto al retardo  $t_d$  se puede calcular mediante la expresión:

“

*Si la constante de tiempo es suficientemente grande respecto al tiempo a corregir, la precisión puede ser suficiente en muchos casos*

#### REFERENCIAS

- [1] R.C. Dobson, P.D. Evans, H. Tabatabari Yacdi and S.C. Harley. "Compensating for Dead Time Degradation of PWM Inverter Waveforms. IEE Proceedings B. March 1990, vol. 137, Number 2.
- [2] Yosshihito Murai, Tomofumi Watanabe and Harumitsu Iwasaki. "Waveform distortion and Correction Circuit for PWM Inverters with Switching Lag Times". IEEE Transactions on Industry Applications, September/October 1987, vol. 1A-23, Number 5.

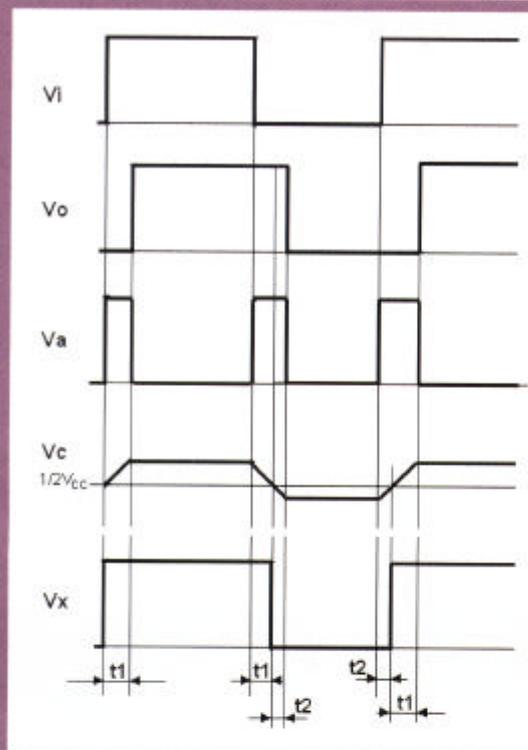


Fig. 3. Señales del circuito de compensación.



*Si la constante de tiempo es suficientemente grande respecto al tiempo a corregir, la precisión puede ser suficiente en muchos casos*

do  $t_1$ . Es importante señalar que el retardo no controlable de apertura  $t_2$ , también se compensa. La tensión de salida  $V_o$  se retarda respecto a la referencia  $V_i$  un tiempo igual al retardo total de los dos flancos, pero es una copia fiel de la entrada.

#### Variantes del circuito

Un refinamiento del circuito lo constituye la adición de la puerta U1B y el interruptor U2B. U1B actúa como inversor de la señal que va al otro interruptor. Los interruptores analógicos propuestos crean una transferencia de carga entre la entrada y las salidas.

Como el flanco de control de U2B está invertido respecto al de U2A, las cargas son de sentido

opuesto y, siendo del mismo chip, son muy iguales en magnitud, por lo que se compensan.

Esta técnica ha sido empleada por el autor en diseños de instrumentación de precisión con excelentes resultados.

El añadido de R4,C2 puede ser necesario para eliminar oscilaciones del comparador.

La fig. 4 muestra un esquema simplificado en el que se ha sustituido el integrador por un simple circuito RC. Si la constante de tiempo es suficientemente grande respecto al tiempo a corregir, la precisión puede ser suficiente en muchos casos. Puede demostrarse que el retardo corregido  $t_{dc}$  respecto al retardo  $t_d$  se puede calcular mediante la expresión:

#### REFERENCIAS

- [1] R.C. Dobson, P.D. Evans, H. Tabatabari Yacdi and S.C. Harley. "Compensating for Dead Time Degradation of PWM Inverter Waveforms. IEE Proceedings B. March 1990, vol. 137, Number 2.
- [2] Yosshihito Murai, Tomofumi Watanabe and Harumitsu Iwasaki. "Waveform distortion and Correction Circuit for PWM Inverters with Switching Lag Times". IEEE Transactions on Industry Applications, September/October 1987, vol. 1A-23, Number 5.

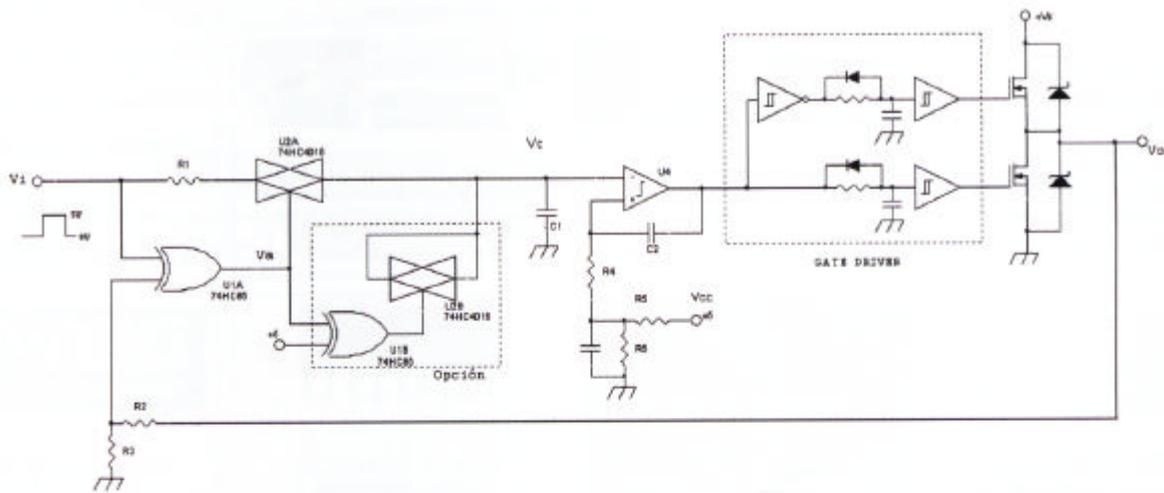


Fig. 4. Esquema de un circuito de compensación sin integrador.

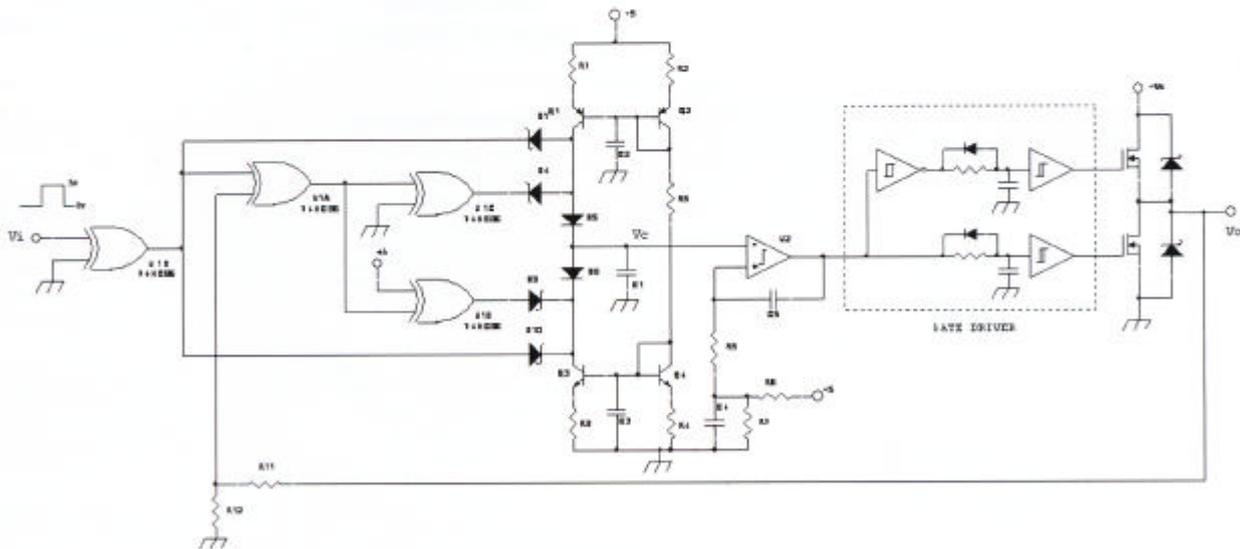


Fig. 5. Circuito de compensación ultrarápido.

Si  $RC = 10$ , el resultado de la expresión anterior es 0.091 aproximadamente, es decir una mejora de unas 11 veces, más que suficiente en la mayoría de los casos. En caso de precisar corregir tiempos muy cortos con alta precisión, puede ser ventajoso suprimir el integrador y usar fuentes de corriente conmutadas por diodos, como se muestra en la fig. 5. La puerta de comparación es U1A. U1D es un "buffer" opcional. U1B actúa como in-

versor y la puerta sobrante U1C se ha añadido para, de manera purista, compensar el retardo de U1B. Las fuentes de corriente formadas por los transistores Q1 a Q4 cargan el condensador C1. Los diodos D4 y D9 cortocircuitan las fuentes de corriente cuando no hay diferencia entre la entrada y la salida, mientras que D1, D10 cortocircuitan una u otra fuente de corriente según la polaridad de la señal de entrada.